

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-009168

(43)Date of publication of application : 11.01.2002

(51)Int.Cl.

H01L 21/8234
H01L 27/088
H01L 21/316
H01L 21/8238
H01L 27/092
H01L 21/8247
H01L 27/115
H01L 27/10
H01L 29/788
H01L 29/792

(21)Application number : 2000-182574

(71)Applicant : NEC CORP

(22)Date of filing : 19.06.2000

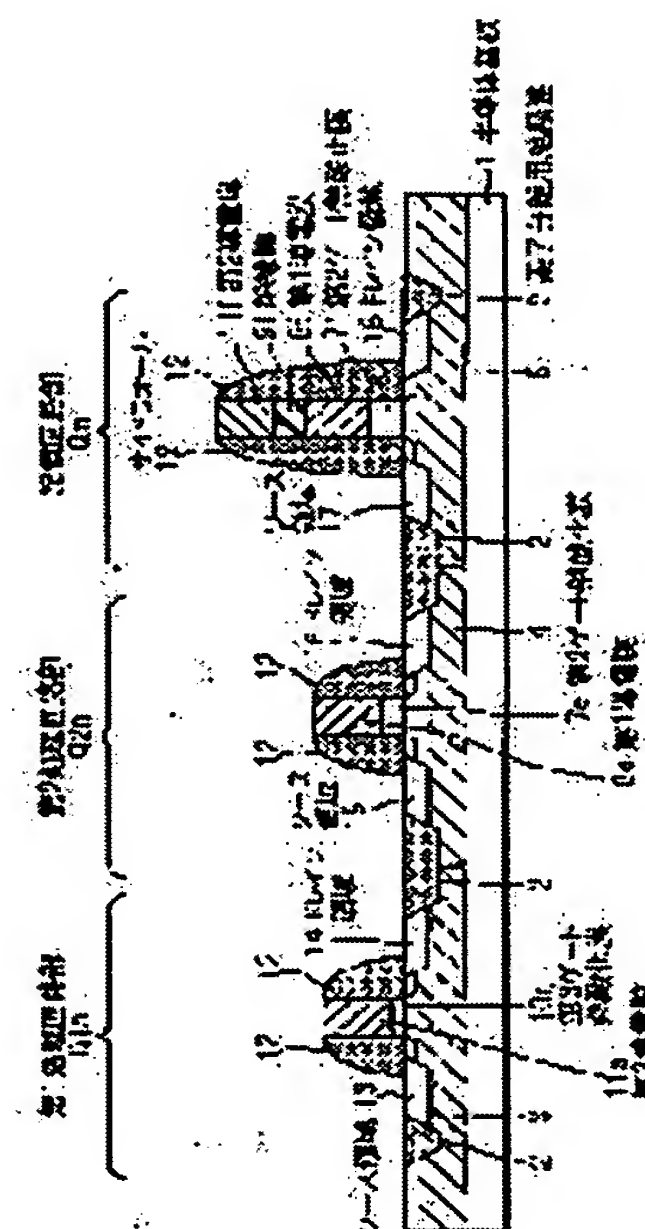
(72)Inventor : TODA TAKESHI
GOTO YOSHIRO

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device and its manufacturing method capable of forming the gate oxide film thickness of various thickness into a desired value without lowering the performance of an MOS transistor.

SOLUTION: The element formation areas of a first processing circuit part Q1n and a second processing circuit part Q2n are secured, and the gate heat oxidation film 10a of the MOS transistor of the first processing circuit part Q1n and the gate heat oxidation film 7e of the MOS transistor of the second processing circuit part Q2n are formed on the their areas. The thickness of the gate thermal oxide films 10a, 7a is 10 μm or more, and the films are formed so that the deference between the pieces of the thickness of both the gate thermal oxide films is 10 μm or less. Since these film formation is performed in another process, they can be formed into different thickness, and the thickness difference can be made 10 μm or less.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(18) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-9168

(P2002-9168A)

(43) 公開日 平成14年1月11日(2002.1.11)

(51) Int. Cl. ⁷	識別記号	F I	7-71-1)* (参考)
H 0 1 L 21/8234		H 0 1 L 21/318	S 5 F 0 0 1
21/068		27/10	4 6 1 5 F 0 4 8
21/318			4 8 1 5 F 0 5 8
21/8238		27/08	1 0 2 C 5 F 0 8 8
27/082			9 2 1 D

審査請求 未請求 請求項の数 8 O L (全 16 頁) 最終頁に続く

(21) 出願番号 特願2000-182574(P2000-182574)

(22) 出願日 平成12年6月19日(2000.6.19)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 戸田 猛

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 後藤 啓郎

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100071528

弁理士 平田 忠雄

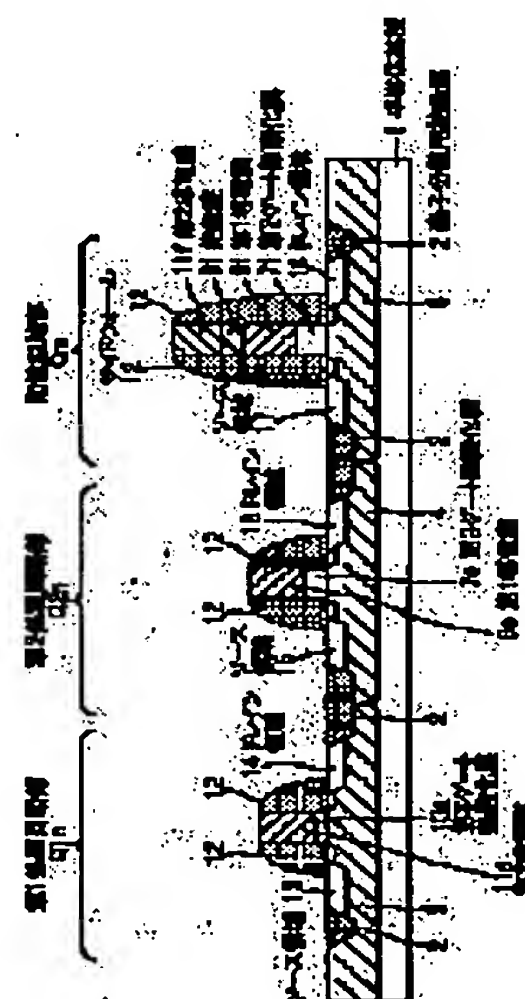
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 MOSトランジスタの性能を低下させることなく、多様な厚みのゲート酸化膜厚を所望の値に形成することが可能な半導体装置及びその製造方法を提供する。

【解決手段】 半導体基板1上には、第1処理回路部Q1n及び第2処理回路部Q2nの素子形成領域が確保され、それぞれのゲート領域には、第1処理回路部Q1nのMOSトランジスタのゲート熱酸化膜10a、及び第2処理回路部Q2nのMOSトランジスタのゲート熱酸化膜7eが形成される。ゲート熱酸化膜10a、7eは、厚みが10Å以上で、両者のゲート熱酸化膜の厚み差は10Å以下になるように成膜される。これらの成膜は別工程で行われるため、異なる厚みに成膜することができ、しかも厚み差を10Å以下にすることができる。



【特許請求の範囲】

【請求項1】 厚みが1.0Å以上のゲート酸化膜によるMOSトランジスタで構成された第1の処理回路部と、厚みが1.0Å以上のゲート酸化膜によるMOSトランジスタで構成され、前記第1の処理回路部と同一の半導体基板上に形成された第2の処理回路部を備え、前記第1の処理回路部と前記第2の処理回路部とのゲート酸化膜の厚み差が1.0Å以下であることを特徴とする半導体装置。

【請求項2】 前記第1の処理回路部は、稼働時に動作する回路であり、前記第2の処理回路部は、待機時に動作する回路であることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記第1及び第2の処理回路部は、第3の処理回路部又は記憶回路部を併設していることを特徴とする請求項1記載の半導体装置。

【請求項4】 同一の半導体基板上にゲート酸化膜の厚みを異ならせて第1の処理回路部と第2の処理回路部を形成する半導体装置の製造方法において、前記半導体基板上に第1のゲート酸化膜を形成し、前記第1のゲート酸化膜の全面に絶縁膜及び第1の導電膜を順次形成し、前記第1の処理回路部の素子形成領域における前記第1のゲート酸化膜から前記第1の導電膜に至る部分を除去し、前記第1のゲート酸化膜とは異なる厚みの第2のゲート酸化膜を前記第1の処理回路部の素子形成領域のみに形成することを特徴とする半導体装置の製造方法。

【請求項5】 前記第1の処理回路部は、稼働時に動作する回路であり、前記第2の処理回路部は、待機時に動作する回路であることを特徴とする請求項4記載の半導体装置。

【請求項6】 前記第1又は第2の処理回路部のための工程は、並行して加工される記憶回路部又は他の回路部を含むことを特徴とする請求項4記載の半導体装置の製造方法。

【請求項7】 前記記憶回路部は、前記第2の処理回路部の前記第1のゲート酸化膜とは異なる厚みのゲート酸化膜に形成されることを特徴とする請求項6記載の半導体装置の製造方法。

【請求項8】 前記記憶回路部は、その上部ゲート電極用導電膜又は下部ゲート電極用導電膜が前記第1又は第2の処理回路部のゲート電極用導電膜と同一工程で同時に設けられることを特徴とする請求項6記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に関し、特に、MOSトランジスタの性能を低下させることなく、複数の処理回路部のそれぞれのゲート熱酸化膜の膜厚、及び処理回路部間のゲート熱酸化

膜の膜厚変動を所望範囲内に収まるようにするための半導体装置及びその製造方法に関する。

【0002】

【従来の技術】LSIや超LSIに代表される半導体装置は、年々高密度化、高集積化、高機能化、高速化等が進んでいる。半導体装置の高密度化を達成するためには、微細化構造が要求される。また、高集積及び高機能を達成するためには、本来別々に作られていた異種の装置（又は回路）、例えば、処理装置（処理回路）と半導体記憶装置（例えば、不揮発性記憶装置）を1枚の半導体基板上に一括搭載した半導体装置にすることが要求される。さらに、演算処理の高速化を図るためには、MOSトランジスタ（MOSFET）のゲート熱酸化膜を薄膜化することが要求される。

【0003】しかし、ゲート熱酸化膜の薄膜化が過剰になると、ゲート電極からソース電極、またはゲート電極からサブ電極へ電流（＝ゲートリーク電流）が流れる現象が生じる。この現象は、消費電力を増大させる原因になる。移動電話機（携帯電話機、PHS）や家電製品等においては、用いる半導体装置には、稼働時にあっては高速な演算処理を実行でき、待機時にあっては消費電力が小さいという特性が要求される。演算処理の高速化は消費電力が大きくなることを意味するので、同一の半導体装置に対して相反する性能が要求されていることになる。

【0004】図2.5は、稼働時と待機時の相反する要求に対応した構造を持つ半導体装置を示す。半導体装置100は、稼働時に動作する第1処理回路部Q1、待機時に動作する第2処理回路部Q2、及びその他の回路部Q3より構成されている。第1処理回路部Q1は高速処理演算ができるようにゲート熱酸化膜が薄く作られ、第2処理回路部Q2は消費電力を小さくするためにゲート熱酸化膜を厚めにしている。例えば、第1処理回路部Q1と第2処理回路部Q2のゲート熱酸化膜は、共に1.0Åを越え、しかも、ばらつきを生じることなく、所望値に対して数Åの精度で成膜できることが望ましい。1つの半導体装置内に複数の電源電圧によって駆動される回路部を実装し、これら回路部を異なるゲート熱酸化膜の厚みに作り分ける方法として、特開平2-129968号公報に示される方法がある。以下、この製造方法について説明する。

【0005】図2.6～図3.6は、半導体装置の従来の製造方法を示す。まず、図2.6に示す様に、一導電型の半導体基板101上に素子分離用絶縁膜102を形成し、第1処理回路部Q1.nの半導体素子形成領域（以下、素子形成領域という）にp型ウエル領域103を形成し、第2処理回路部Q2.nの素子形成領域にp型ウエル領域104を形成し、更に、不揮発性記憶回路部（以下、記憶回路部という）Qmの素子形成領域にp型ウエル領域105を形成する。

【0006】次に、図2-7に示す様に、半導体基板101の全面に第1ゲート熱酸化膜106を厚みが5.0Å～100Åになるように成長させ、ついで、第1ゲート熱酸化膜106を含む半導体基板101の全面に、第1導電膜107を形成する。第1導電膜107は、例えば、CVD（Chemical Vapor Deposition）法で堆積した多結晶シリコン膜で成長させることにより形成できる。次に、図2-8に示す様に、第1導電膜107を所定の形状の第1導電膜107aにパターニングする。この第1導電膜107aは、記憶回路部Qmの素子形成領域のみに残される。

【0007】次に、図2-8に示す様に、第1ゲート熱酸化膜106と第1導電膜107aの各表面に絶縁膜108を成長させる。この絶縁膜108は、例えばCVD法で堆積した酸化膜、窒化膜、酸化膜の3層構造の膜であり、一般に、ONO膜と呼ばれているものである。次に、図3-0に示す様に、第1ゲート熱酸化膜106と絶縁膜108を、それぞれ所定の形状の第1ゲート熱酸化膜106aと絶縁膜108aにパターニングする。第1ゲート熱酸化膜106aと絶縁膜108aは、記憶回路部Qmの素子形成領域を残すように形成される。このとき、第1導電膜107aは絶縁膜108aに覆われているため、形状は変化しない。

【0008】次に、図3-1に示す様に、第1処理回路部Q1nと第2処理回路部Q2nの素子形成領域の全面に第2ゲート熱酸化膜109に設ける。この第2ゲート熱酸化膜109は、素子形成領域において厚みが15Å～20Åになるように成長させる。このとき、記憶回路部Qmの絶縁膜108a上には、ONO膜の性質から第2ゲート熱酸化膜109は形成されない。次に、図3-2に示す様に、第2ゲート熱酸化膜109を所定の形状109aにパターニングする。第2ゲート熱酸化膜109aは、第2処理回路部Q2nの素子形成領域のみに残される。

【0009】次に、図3-3に示す様に、第1処理回路部Q1nと第2処理回路部Q2nの素子形成領域の表面に第3ゲート熱酸化膜110を第1処理回路部Q1nの素子形成領域で厚みが15Åを越え22Å以下になるように成長させる。なお、このとき記憶回路部Qmの絶縁膜108a上は、ONO膜の性質から第3ゲート熱酸化膜は形成されない。このとき、第2処理回路部Q2nの第2ゲート熱酸化膜109aは、さらに酸化されて、厚みは25Åを越え32Åになる。また、形状も第3ゲート熱酸化膜と一体化するため、以後、第1処理回路部Q1nの熱酸化膜を第3ゲート熱酸化膜110aという。次に、図3-4に示す様に、第3ゲート熱酸化膜110、第3ゲート熱酸化膜110a、及び絶縁膜108aの表面に第2導電膜111を形成する。第2導電膜111は第1導電膜107と同様の方法、例えば、CVD法で堆積した多結晶シリコン膜で成長することによって形成される。

【0010】更に、図3-5に示す様に、第1ゲート熱酸化膜106aを所定の形状の第1ゲート熱酸化膜106eにパターニングし、同様に、第1導電膜107aを所定の形状の第1導電膜107eに、絶縁膜108aを所定の形状の絶縁膜108eに、第3ゲート熱酸化膜110を所定の形状の第3ゲート熱酸化膜110cに、第3ゲート熱酸化膜110aを所定の形状の第3ゲート熱酸化膜110dにパターニングする。さらに、第2導電膜111を所定の形状の第2導電膜111c、111d、111eにパターニングする。ここで、第3ゲート熱酸化膜110cと第2導電膜111cは、第1処理回路部Q1nのゲート熱酸化膜とゲート電極を形成するために設けられ、第3ゲート熱酸化膜110dと第2導電膜111dは、第2処理回路部Q2nのゲート熱酸化膜とゲート電極を形成するように設けられる。さらに、第1ゲート熱酸化膜106eは、記憶回路部Qmのゲート熱酸化膜を、第1導電膜107eは記憶回路部Qmの下部ゲート電極を、絶縁膜108eは記憶回路部Qmの上部ゲート電極と下部ゲート電極を分離する絶縁膜を、第2導電膜111eは記憶回路部Qmの上部ゲート電極を形成するために設けられる。

【0011】次に、図3-6に示す様に、第1ゲート熱酸化膜106e、第1導電膜107e、絶縁膜108e、第3ゲート熱酸化膜110c、第3ゲート熱酸化膜110d、第2導電膜111c、第2導電膜111d、及び第2導電膜111eの各側面にサイドウォール112を形成する。サイドウォール112は、例えば、CVD法で酸化シリコン膜もしくは窒化シリコン膜などの絶縁膜を成長させて、RIE（リアクティブ・イオン・エッチング）法で異方性エッチングを行うことで形成される。さらに、第1処理回路部Q1nにn型不純物を導入してソース領域113とドレイン領域114を形成する。n型不純物として、例えば、砒素を用いることができる。さらに、第2処理回路部Q2nにn型不純物を導入してソース領域115とドレイン領域116を形成する。同様に、記憶回路部Qmにn型不純物を導入して、ソース領域117およびドレイン領域118を形成する。以上により、各回路部には厚みの異なるゲート熱酸化膜が形成され、また、記憶回路部Qmにおいては、複数の導電膜が多層に形成される。

【0012】

【発明が解決しようとする課題】しかし、従来の半導体装置及びその製造方法によると、第1処理回路部Q1nのゲート熱酸化膜を10Å以上、第2処理回路部Q2nのゲート熱酸化膜を20Åの厚みにはできるが、10Å～20Åの厚みに設定して生産した場合、ゲート熱酸化膜の厚みにばらつきを生じやすく、2つの処理回路ブロック間の厚み差を10Å以下にすることが難しい。その理由は、図3-3に示される工程において、第1処理回路部Q1nにゲート熱酸化膜が形成されている間に、第

第2処理回路部Q2nにもゲート熱酸化膜がさらに形成されるため、ゲート熱酸化膜の厚みが大きくなることにある。この場合、予め第2ゲート熱酸化膜を10Å以下の厚みになるように成長させることができれば、目的とする第2処理回路部Q2nのゲート熱酸化膜と第1処理回路部Q1nのゲート熱酸化膜との厚み差を10Å以下にすることができる。しかし、ゲート熱酸化膜を10Å以下の厚みに成長させることは、工業製造上の誤差を含め、均一に成長させることが困難である。具体的には、ゲート熱酸化膜を10Å以下に成長させると、±3Å程度の厚みの誤差（厚み誤差）が生じ、期待値との誤差が大きくなる。この厚み誤差により半導体素子にばらつきが生じる結果、MOSトランジスタの性能が著しく阻害される。

【0013】本発明の目的は、MOSトランジスタの性能を低下させることなく、多様な厚みのゲート酸化膜厚を所望の値に形成することが可能な半導体装置及びその製造方法を提供することにある。

【0014】本発明は、上記の目的を達成するため、第1の特徴として、厚みが10Å以上のゲート酸化膜によるMOSトランジスタで構成された第1の処理回路部と、厚みが10Å以上のゲート酸化膜によるMOSトランジスタで構成され、前記第1の処理回路部と同一の半導体基板上に形成された第2の処理回路部を備え、前記第1の処理回路部と前記第2の処理回路部とのゲート酸化膜の厚み差が10Å以下であることを特徴とする半導体装置を提供する。

【0015】この構成によれば、同一の半導体基板上に第1の処理回路部と第2の処理回路部が形成され、ゲート酸化膜が共に10Å以上である第1と第2の処理回路部のゲート酸化膜の厚みの差が10Å以下にされている。このため、第1処理回路部は高速処理演算が可能ないようにゲート酸化膜を薄くし、第2処理回路部は消費電力を小さくできるようにゲート酸化膜を厚めにする等の選択ができ、しかも、第1と第2の処理回路部のゲート酸化膜の厚みのばらつきが抑えられる。このように、所望の厚みのゲート酸化膜を処理回路部毎に形成した半導体を得られることにより、半導体素子の製造上のばらつきが低減され、MOSトランジスタの性能低下を防止することができる。

【0016】本発明は、上記の目的を達成するため、第2の特徴として、同一の半導体基板上にゲート酸化膜の厚みを異ならせて第1の処理回路部と第2の処理回路部を形成する半導体装置の製造方法において、前記半導体基板上に第1のゲート酸化膜を形成し、前記第1のゲート酸化膜の全面に絶縁膜及び第1の導電膜を順次形成し、前記第1の処理回路部の素子形成領域における前記第1のゲート酸化膜から前記第1の導電膜に至る部分を除去し、前記第1のゲート酸化膜とは異なる厚みの第2のゲート酸化膜を前記第1の処理回路部の素子形成領域

のみに形成することを特徴とする半導体装置の製造方法を提供する。

【0017】この方法によれば、半導体基板上に第1のゲート酸化膜を形成した後、第1の処理回路部の第1のゲート酸化膜を除去し、この除去した部分に第1のゲート酸化膜とは異なる厚みの第2のゲート酸化膜を形成する。この結果、第1の処理回路部と第2の処理回路部とで個別にゲート酸化膜の形成が行われるため、各処理回路部には所望の厚みのゲート酸化膜が形成される。したがって、所望の厚みのゲート酸化膜を処理回路部毎に形成した半導体を得られることにより、半導体素子の製造上のばらつきが低減され、MOSトランジスタの性能低下を防止することができる。

【0018】

【発明の実施の形態】以下、本発明の実施の形態を図面に基いて説明する。

【第1の実施の形態】図1は本発明による半導体装置を示す。この半導体装置は、処理回路部と不揮発性半導体記憶部を併せ持つ構造を有している。半導体基板1上にはp型ウエル領域3、4、5が形成され、この所定位置に素子分離用絶縁膜2が設けられている。素子分離用絶縁膜2の周囲には、ソース領域13、15、17、ドレイン領域14、16、18が形成され、ソース領域13とドレイン領域14の間の表面にはゲート熱酸化膜（図2以降においては、第3ゲート熱酸化膜）10aが設けられ、ソース領域15とドレイン領域16の間の表面にはゲート熱酸化膜（図2以降においては、第2ゲート熱酸化膜）7eが設けられ、ソース領域17とドレイン領域18の間の表面にはゲート熱酸化膜（第2ゲート熱酸化膜）7fが設けられている。ゲート熱酸化膜10a上には第2導電膜11aが設けられ、ゲート熱酸化膜7e上には第1導電膜8eが設けられ、ゲート熱酸化膜7f上には第1導電膜8f、絶縁膜9f、第2導電膜11fが多層に設けられている。第3ゲート熱酸化膜10a、ゲート熱酸化膜7e、7f、第1導電膜8e、8f、絶縁膜9f、第2導電膜11a、11fの各側面には、サイドウォール12が設けられている。

【0019】ゲート熱酸化膜10aと第2導電膜11aは、第1処理回路部Q1nの厚みT1のゲート熱酸化膜とゲート電極である。ゲート熱酸化膜7eと第1導電膜8eは、第2処理回路部Q2nの厚みT2のゲート熱酸化膜とゲート電極である。ゲート熱酸化膜7f、第1導電膜8f、絶縁膜9f、及び第2導電膜11fは、記憶回路部Qmの厚みTfのゲート熱酸化膜、下部ゲート電極、上部ゲート電極と下部ゲート電極を分離する膜、上部ゲート電極である。

【0020】本実施の形態においては、第1処理回路部Q1nのゲート電極（第2導電膜11a）は記憶回路部Qmの上部ゲート電極（第2導電膜11f）と同一工程で形成し、第2処理回路部Q2nのゲート電極（第1導

電膜8e)は記憶回路部Qmの下部ゲート電極(第1導電膜8f)と同一工程で形成している。更に、本発明では、第1処理回路部のゲート熱酸化膜10eの形成工程と第2処理回路部のゲート熱酸化膜7eの形成工程を別工程にして製造されている。したがって、処理回路毎に必要なゲート熱酸化膜厚の膜厚T1、T2を作り分けすることができ、しかも製造上、±1Å程度の厚みの誤差による製造が可能になる。

【0021】次に、図1の構成に対応した本発明の製造方法について図2～図11及び図1を参照して説明する。まず、図2に示す様に一導電型の半導体基板1上に素子分離用絶縁膜2を形成し、第1処理回路部Q1nの素子形成領域にp型ウエル領域3を形成し、第2処理回路部Q2nの素子形成領域にp型ウエル領域4を形成し、記憶回路部Qmの素子形成領域にp型ウエル領域5を形成した状態を用意する。ついで、図3に示す様に、素子分離用絶縁膜2、及びp型ウエル領域3、4、5の表面に第1ゲート熱酸化膜6を40Å～90Åの厚みに成長させる。

【0022】さらに、図4に示す様に、第1ゲート熱酸化膜6が、所定の形状の第1ゲート熱酸化膜6a、6bにパターニングされる。第1ゲート熱酸化膜6aは、第1処理回路部Q1nの素子形成領域に残るように形成され、第1ゲート熱酸化膜6bは、記憶回路部Qmの素子形成領域に残るように形成される。次に、図5に示す様に、表面全域にゲート熱酸化膜を形成する。第2処理回路部Q2nの素子形成領域には、第2ゲート熱酸化膜7を18Å～32Åの厚みに成長させる。このとき、第1処理回路部Q1nの第1ゲート熱酸化膜6aと記憶回路部Qmの第1ゲート熱酸化膜6bは更に酸化され、厚みが50Å～100Åの第2ゲート熱酸化膜7aと7bになる。

【0023】次に、図6に示す様に、第2ゲート熱酸化膜7a、第2ゲート熱酸化膜7b、及び第2ゲート熱酸化膜7のそれぞれの表面に、第1導電膜8及び絶縁膜9を形成する。第1導電膜8は、例えば、CVD法で堆積した多結晶シリコン膜を成長することにより形成することができる。また、絶縁膜9には、例えば、CVD法で堆積した酸化膜、窒化膜、及び酸化膜から成る3層構造のONO膜を用いることができる。

【0024】次に、図7に示す様に、第2ゲート熱酸化膜7が所定の形状の第2ゲート熱酸化膜7cにパターニングし、第2ゲート熱酸化膜7bが所定の形状の第2ゲート熱酸化膜7dにパターニングされる。また、第1導電膜8が所定の形状の第1導電膜8c、8dにパターニングされ、絶縁膜9が所定の形状の絶縁膜9c、9dにパターニングされる。第2ゲート熱酸化膜7c、第1導電膜8c、及び絶縁膜9cは、第2処理回路部Q2nの素子形成領域に残るように形成され、また、第2ゲート熱酸化膜7d、第1導電膜8d、及び絶縁膜9dは、記

憶回路部Qmの素子形成領域に残るように形成される。

【0025】次に、図8に示す様に、表面全域に熱酸化膜を形成する。第1処理回路部Q1nの素子形成領域には、第3ゲート熱酸化膜10が15Å～25Åの厚みに形成される。このとき、第2処理回路部Q2nの第1導電膜8cの側面には酸化膜10cが形成され、記憶回路部Qmの第1導電膜8dの側面には酸化膜10dが形成される。なお、第2処理回路部Q2nの絶縁膜9c上及び記憶回路部Qmの絶縁膜9d上には、ONO膜の性質から第3ゲート熱酸化膜は形成されない。次に、図9に示す様に、第3ゲート熱酸化膜10上と絶縁膜9c上と絶縁膜9d上を含む半導体基板1の全面に第2導電膜11を形成する。第2導電膜11は第1導電膜8と同様に、例えば、CVD法で堆積した多結晶シリコン膜で成長することにより形成できる。

【0026】次に、図10に示す様に、第2導電膜11を所定の形状の第2導電膜11c、11dにパターニングする。ここで、第2導電膜11cは第1処理回路部Q1nの素子形成領域に残るように形成され、第2導電膜11dは記憶回路部Qmの素子形成領域に残るように形成される。また、第2処理回路部Q2nの絶縁膜9c(図9)がエッチングにより除去される。なお、記憶回路部の絶縁膜9dは、Qmの第2導電膜11dによって覆われているのでエッチングされない。

【0027】次に、図11に示す様に、パターニングが行われる。すなわち、第2ゲート熱酸化膜7cが所定の形状の第2ゲート熱酸化膜7eにパターニングされ、第2ゲート熱酸化膜7dが所定の形状の第2ゲート熱酸化膜7fにパターニングされる。さらに、第1導電膜8cを所定の形状の第1導電膜8eに、第1導電膜8dを所定の形状の第1導電膜8fにパターニングされ、絶縁膜9dを所定の形状の第2ゲート熱酸化膜9fにパターニングされる。また、第3ゲート熱酸化膜10が所定の形状の第3ゲート熱酸化膜10aにパターニングされ、第2導電膜11cが所定の形状の第2導電膜11aにパターニングされ、第2導電膜11dが所定の形状の第2導電膜11fにパターニングされる。

【0028】パターニングの際、第1導電膜8cの側面にある酸化膜10cと第1導電膜8dの側面にある酸化膜10dは除去される。第3ゲート熱酸化膜10aと第2導電膜11aは、第1処理回路部Q1nのゲート熱酸化膜とゲート電極を形成する。更に、第2ゲート熱酸化膜7eと第1導電膜8eは、第2処理回路部Q2nのゲート熱酸化膜とゲート電極を形成する。また、第2ゲート熱酸化膜7fは、記憶回路部Qmのゲート熱酸化膜を形成し、第1導電膜8fは記憶回路部Qmの下部ゲート電極を形成し、絶縁膜9fは記憶回路部Qmの上部ゲート電極と下部ゲート電極を分離する絶縁膜を形成し、第2導電膜11fは記憶回路部Qmの上部ゲート電極を形成する。

【0029】次に、図1に示す様に、第2ゲート熱酸化膜7e、第2ゲート熱酸化膜7f、第1導電膜8e、第1導電膜8f、絶縁膜9f、第3ゲート熱酸化膜10e、第2導電膜11e、第2導電膜11fのそれぞれの側面にサイドウォール12が形成される。サイドウォール12は、例えば、CVD法により酸化シリコン膜又は窒化シリコン膜などの絶縁膜を成長させ、RIE法で異方性エッチングを行うことで形成できる。更に、第1処理回路部Q1nにn型不純物を導入し、ソース領域13とドレイン領域14を形成する。n型不純物として、例えば砒素が用いられる。また、第2処理回路部Q2nにn型不純物を導入し、ソース領域15とドレイン領域16を形成する。同様に、記憶回路部Qmにn型不純物を導入し、ソース領域17とドレイン領域18を形成する。

【0030】以上説明したように、図1～図1-1に示した製造方法によれば、第1処理回路部のゲート熱酸化膜は10Åを越える厚みにすると共に第2処理回路部のゲート熱酸化膜は10Åを越える厚みにし、両者の厚み差を10Å以下にすることができる。この結果、それぞれの処理回路部には、必要な厚みのゲート酸化膜を形成することが可能になる。これは、第1処理回路部のゲート熱酸化膜10aと第2処理回路部のゲート熱酸化膜7eが全く別の工程で形成されたことによる。

【0031】上記実施の形態において、図4で示した第1ゲート熱酸化膜6aは、パターニングする際に除去するようにしてもよい。また、図1に示したソース領域13およびドレイン領域14の形成、ソース領域15およびドレイン領域16の形成、ソース領域17およびドレイン領域18の形成の順番を入れ替えてもよい。

【0032】更に、上記実施の形態においては、第1処理回路部Q1nと第2処理回路部Q2nは、nチャネル型MOSトランジスタにより構成されているものとしたが、pチャネル型MOSトランジスタであってもよい。この場合、図1に示したp型ウエル領域3をn型ウエル領域に、p型ウエル領域4をn型ウエル領域に置き換え、ソース領域13とドレイン領域14、及びソース領域15とドレイン領域16にp型不純物を導入すればよい。このp型不純物としては、例えばボロン等を用いることができる。そして、nチャネル型MOSトランジスタによる第1処理回路部Q1nとpチャネル型MOSトランジスタによる第1処理回路部(Q1p)は、同時に搭載することもできる。この場合、図1に示したp型ウエル領域3とは、別個にpチャネル型MOSトランジスタの第1処理回路部(Q1p)の素子形成領域にn型ウエル領域を形成しておき、ソース領域13とドレイン領域14とは別途の工程で前記のpチャネル型MOSトランジスタの第1処理回路部(Q1p)にp型不純物を導入することで、ソース領域およびドレイン領域を形成できる。

【0033】また、nチャネル型MOSトランジスタの第2処理回路部Q2nとpチャネル型MOSトランジスタの第2処理回路部(Q2p)は、同時に搭載することもできる。この場合、図1に示したp型ウエル領域4とは別個にpチャネル型MOSトランジスタの第2処理回路部(Q2p)の素子形成領域にn型ウエル領域を形成しておき、ソース領域15とドレイン領域16とは、別途の工程で前記のpチャネル型MOSトランジスタの第2処理回路部Q2pにp型不純物を導入することにより、ソース領域およびドレイン領域が形成される。

【0034】〔第2の実施の形態〕次に、本発明の第2の実施の形態について説明する。図1-2は本発明による半導体装置の他の実施の形態を示す。上記実施の形態では、2種類の半導体処理回路部と1つの記憶回路部を搭載した半導体装置の例を示したが、本実施の形態は、3種類以上の処理回路部（以下、第N処理回路部という）を搭載した場合である。

【0035】図1-2に示す様に、半導体基板1上にはp型ウエル領域3、4、5、5nが形成され、この所定位に素子分離用絶縁膜2が設けられている。素子分離用絶縁膜2の周囲には、ソース領域13、15、17、19、ドレイン領域14、16、18、20が形成され、ソース領域13とドレイン領域14の間の表面には第3ゲート熱酸化膜10aが設けられ、ソース領域15とドレイン領域16の間の表面にはゲート熱酸化膜7eが設けられ、ソース領域17とドレイン領域18の間の表面にはゲート熱酸化膜7fが設けられ、ソース領域19とドレイン領域20の間の表面にはゲート熱酸化膜7nが設けられている。第3ゲート熱酸化膜10a上には第2導電膜11eが設けられ、ゲート熱酸化膜7e上には第1導電膜8eが設けられている。ゲート熱酸化膜7f上には第1導電膜8f、絶縁膜9f、第2導電膜11fが多層に設けられている。更に、ゲート熱酸化膜7n上には第1導電膜8nが設けられている。第3ゲート熱酸化膜10a、ゲート熱酸化膜7e、7f、7n、第1導電膜8e、8f、8n、絶縁膜9f、及び第2導電膜11e、11fの各側面には、サイドウォール12が設けられている。ここで、ゲート熱酸化膜7nは、第N処理回路部QNnの厚みが70Å～110Åのゲート絶縁膜であり、第1導電膜8nは第N処理回路部QNnのゲート電極である。

【0036】次に、図1-2の構成に対応した本発明の製造方法について図1-2～図2-4を参照して説明する。まず、図1-3に示す様に、一導電型半導体半導体基板1に素子分離用絶縁膜2を形成し、前記実施の形態の素子領域Q1n、Q2n、Qmとは別に、第N処理回路部QNnの素子領域を形成した装置を作成する。次に、図1-4に示す様に、半導体基板1の全面に第Nゲート熱酸化膜6'を厚みが30Åを越え80Å以下になるように成長させる。次に、図1-5に示す様に、第Nゲート熱酸化膜

6'を所定の形状の第Nゲート熱酸化膜6'c、6'eにパターンニングする。第Nゲート熱酸化膜6'oは、第1処理回路部Q1nの素子形成領域に残るように形成される。更に、第Nゲート熱酸化膜6'eは第N処理回路部QNnの素子形成領域に残るように形成され、第2処理回路部Q2nと記憶回路部Qmの第Nゲート熱酸化膜は除去される。

【0037】次に、図16に示す様に、半導体基板1の全面に第1ゲート熱酸化膜を形成する。すなわち、第2処理回路部Q2nと記憶回路部Qmの素子形成領域の全面には、40Å～90Åの厚みになるように第1ゲート熱酸化膜6を成長させる。そして、第1処理回路部Q1nの第Nゲート熱酸化膜6'oと第N処理回路部QNnの第Nゲート熱酸化膜6'eは図15の状態から更に酸化され、60Åを越え100Å以下の厚みになる。また、形状も第1ゲート熱酸化膜と一体化することから、以下、第1処理回路部Q1nの熱酸化膜を第1ゲート熱酸化膜6oと称し、第N処理回路部QNnの熱酸化膜を第1ゲート熱酸化膜6eと称する。

【0038】次に、図17に示す様に、第1ゲート熱酸化膜6を所定の形状の第1ゲート熱酸化膜6bに、第1ゲート熱酸化膜6oを所定の形状の第1ゲート熱酸化膜6aに、第1ゲート熱酸化膜6eを形状の第1ゲート熱酸化膜6gにパターンニングする。第1ゲート熱酸化膜6aは、第1処理回路部Q1nの素子形成領域に残るように形成される。ここで、第1ゲート熱酸化膜6gは第N処理回路部QNnの素子形成領域に残るように形成され、第1ゲート熱酸化膜6bは記憶回路部Qmの素子形成領域に残るように形成される。また、第2処理回路部Q2nの領域に設けられていた第1ゲート熱酸化膜6は除去される。

【0039】次に、図18に示す様に、半導体基板1の全面に第2ゲート熱酸化膜を形成する。すなわち、第2処理回路部Q2nの素子形成領域には、第2ゲート熱酸化膜7が18Å～32Åの厚みになるように成長させる。このとき、第1処理回路部Q1nの第1ゲート熱酸化膜6aと第N処理回路部QNnの第1ゲート熱酸化膜6gでは、更に酸化されて、70Å～110Åの厚みになる。同様に、記憶回路部Qmの第1ゲート熱酸化膜6bは更に酸化され、50Å～100Åの厚みになる。形状も第2ゲート熱酸化膜と一体化するため、以下、第1処理回路部Q1nの熱酸化膜を第2ゲート熱酸化膜7aと称し、第N処理回路部QNnの熱酸化膜を第2ゲート熱酸化膜7gと称し、記憶回路部Qmの熱酸化膜を第2ゲート熱酸化膜7bと称する。

【0040】次に、図19に示す様に、第2ゲート熱酸化膜7、第2ゲート熱酸化膜7a、第2ゲート熱酸化膜7b、及び第2ゲート熱酸化膜7gのそれぞれの全面に、第1導電膜8と絶縁膜9を形成する。第1導電膜8は、例えば、CVD法で堆積した多結晶シリコン膜で成

長することにより形成できる。また、絶縁膜9は、例えば、CVD法で堆積した酸化膜、窒化膜、酸化膜の3層構造によるONO膜を用いることができる。

【0041】次に、図20に示す様に、第2ゲート熱酸化膜7を所定の形状の第2ゲート熱酸化膜7cに、第2ゲート熱酸化膜7bを所定の形状の第2ゲート熱酸化膜7dに、第2ゲート熱酸化膜7gを所定の形状の第2ゲート熱酸化膜7hに、第1導電膜8を所定の形状の第1導電膜8o、8d、8hに、絶縁膜9を所定の形状の絶縁膜9c、9d、9hにパターンニングする。第2ゲート熱酸化膜7c、第1導電膜8o、及び絶縁膜9cは、第2処理回路部Q2nの素子形成領域を残すように形成される。第2ゲート熱酸化膜7h、第1導電膜8h、及び絶縁膜9hは、第N処理回路部QNnの素子形成領域を残すように形成される。第2ゲート熱酸化膜7d、第1導電膜8d、及び絶縁膜9dは、記憶回路部Qmの素子形成領域を残すように形成される。第2ゲート熱酸化膜7gは、除去される。

【0042】次に、図21に示す様に、第1処理回路部Q1nの素子形成領域には、第3ゲート熱酸化膜10が15Å～25Åの厚みになるように形成される。このとき、第2処理回路部Q2nの第1導電膜8oの側面には酸化膜10cが、第N処理回路部QNnの第1導電膜8hの側面には酸化膜10hが、記憶回路部Qmの第1導電膜8dの側面には酸化膜10dが形成される。なお、第N処理回路部QNnの絶縁膜9h、第2処理回路部Q2nの絶縁膜9c、及び記憶回路部Qmの絶縁膜9dのそれぞれには、ONO膜の性質から第3ゲート熱酸化膜は形成されない。次に、図22に示す様に、第3ゲート熱酸化膜10、絶縁膜9c、絶縁膜9d、及び絶縁膜9hのそれぞれに、第2導電膜11を形成する。第2導電膜11は第1導電膜8と同様に、例えば、CVD法で堆積した多結晶シリコン膜で成長させて形成することができる。

【0043】次に、図23に示す様に、第2導電膜11を所定の形状11bと形状11dにパターンニングする。第2導電膜11bは、第1処理回路部Q1nの素子形成領域を残存するように形成される。第2導電膜11dは、記憶回路部Qmの素子形成領域を残存するように形成される。第N処理回路部QNnの素子形成領域と第2処理回路部Q2nの素子形成領域には、第2導電膜は除去されるように形成される。さらに、第2処理回路部の絶縁膜9cと第N処理回路部の絶縁膜9hをエッチングする。このとき、記憶回路部の絶縁膜9dは、記憶回路部の第2導電膜11dによって覆われているので、エッチングされない。

【0044】次に、図24に示す様に、第2ゲート熱酸化膜7cを所定の形状の7eに、第2ゲート熱酸化膜7hを所定の形状の第2ゲート熱酸化膜7nに、第2ゲート熱酸化膜7dを所定の形状の第2ゲート熱酸化膜7f

に、第1導電膜8cを所定の形状の第1導電膜8eに、第1導電膜8hを所定の形状の第1導電膜8nに、第1導電膜8dを所定の形状の第1導電膜8fに、絶縁膜9dを所定の形状の絶縁膜9fに、第3ゲート熱酸化膜10を所定の形状の第3ゲート熱酸化膜10aに、第2導電膜11bを所定の形状の第2導電膜11aに、第2導電膜11dを所定の形状の第2導電膜11fにパターンニングする。

【0045】第3ゲート熱酸化膜10aと第2導電膜11aは、第1処理回路部Q1nにおけるゲート熱酸化膜とゲート電極を形成する。第2ゲート熱酸化膜7eと第1導電膜8eは、第2処理回路部Q2nにおけるゲート熱酸化膜とゲート電極を形成する。また、第2ゲート熱酸化膜7fは記憶回路部Qmのゲート熱酸化膜を形成し、第1導電膜8fは記憶回路部Qmの下部ゲート電極を形成する。絶縁膜9fは記憶回路部Qmの上部ゲート電極と下部ゲート電極を分離する絶縁膜を形成し、第2導電膜11fは記憶回路部Qmの上部ゲート電極を形成する。さらに、第2ゲート熱酸化膜7nは第N処理回路部QNnのゲート熱酸化膜を形成し、第1導電膜8nは第N処理回路部QNnのゲート電極を形成する。

【0046】次に、図12に示す様に、サイドウォール12が、第2ゲート熱酸化膜7e、第2ゲート熱酸化膜7n、第2ゲート熱酸化膜7f、第1導電膜8e、第1導電膜8n、第1導電膜8f、絶縁膜9f、第3ゲート熱酸化膜10a、第2導電膜11a、第2導電膜11fのそれぞれの側面に形成される。サイドウォール12は、例えば、CVD法で絶縁膜（酸化シリコン膜、窒化シリコン膜等）を成長させて、RIE法で異方性エッチングを行うことにより形成できる。さらに、第1処理回路部Q1nにn型不純物を導入してソース領域13とドレイン領域14を形成する。n型不純物としては、例えば、砒素を用いる。同様に、第2処理回路部Q2nにn型不純物を導入し、ソース領域15とドレイン領域16を形成する。更に、記憶回路部Qmにn型不純物を導入し、ソース領域17とドレイン領域18を形成する。また、第N処理回路部QNnにn型不純物を導入し、ソース領域19とドレイン領域20を形成する。

【0047】図12～図24及び図12に示した製造方法によれば、第1処理回路部及び第2処理回路部のゲート熱酸化膜が共に10Åを越え、しかも第1処理回路部と第2処理回路部のゲート熱酸化膜の厚みの差を10Å以下にしつつ、第1及び第2処理回路部のゲート熱酸化膜厚とは全く異なる第N処理回路用の第3のゲート熱酸化膜を形成することができる。

【0048】上記第2の実施の形態において、図15に示した第Nゲート熱酸化膜6'c、及び図17に示した第1ゲート熱酸化膜6aは、パターンニングする際に除去してもよい。また、図12に示したソース領域13とドレイン領域14の形成、ソース領域15とドレイン領域

16の形成、ソース領域17とドレイン領域18、ソース領域19とドレイン領域20の形成の順番は、入れ替えてもよい。なお、別の処理回路用のゲート熱酸化膜を実現するには、図14に示したように、半導体基板1の全面には第Nゲート熱酸化膜6'を成長させる工程と、図15に示したように第Nゲート熱酸化膜6'eにパターンニングする工程を繰り返すことにより達成される。また、第N処理回路用と記憶装置用のゲート熱酸化膜厚が同一の場合、図14に示したように、半導体基板1の全面に第Nゲート熱酸化膜6'を成長させる工程と、図15に示したように第Nゲート熱酸化膜6'eにパターンニングする工程を省略することにより達成される。

【0049】さらに、上記の第2の実施の形態では、第N処理回路QNnはnチャネル型MOSトランジスタであるとしたが、これをpチャネル型MOSトランジスタの第N処理回路QNpにしてもよい。この場合、図13で示したp型ウエル領域5nをn型ウエル領域に置き換え、図12に示したソース領域19とドレイン領域20にp型不純物を導入することになる。また、nチャネル型MOSトランジスタの第N処理回路QNnとpチャネル型MOSトランジスタの第N処理回路QNpは、同時に搭載することもできる。この場合、図13で示したp型ウエル領域5nとは別個にpチャネル型MOSトランジスタの第N処理回路QNpの素子形成領域にn型ウエル領域を形成しておき、図12に示したソース領域19とドレイン領域20とは別途の工程で前記のpチャネル型MOSトランジスタの第N処理回路部QNpにp型不純物を導入すれば、ソース領域およびドレイン領域が形成される。

【0050】なお、上記の実施の形態では、第N処理回路用のゲート熱酸化膜が記憶装置用のゲート熱酸化膜よりも厚いことを前提に説明したが、逆に、記憶装置用のゲート熱酸化膜が第N処理回路用のゲート熱酸化膜よりも厚くすることもできる。この場合、図15に示した第Nゲート熱酸化膜6'eを記憶装置Qmの素子領域部分に残存するようにパターンニングすればよい。

【0051】〔第3の実施の形態〕次に、本発明の第3の実施の形態について説明する。本実施の形態は、前記実施の形態におけるpチャネル型MOSトランジスタの性能の向上を図ったものである。図1および図12に示した第1処理回路部Q1nのソース領域13およびドレイン領域14を形成する際に導入した不純物は、一般にゲート電極にも導入される。さらに、この不純物は熱を加えることによって安定した状態（すなわち、活性化）になる。しかし、pチャネル型MOSトランジスタの製造において、ゲート電極にも導入されてしまうp型不純物は、活性化の際にゲート熱酸化膜を通り抜けて半導体基板方向に拡散されてしまい（これを不純物突き抜けという）、pチャネル型MOSトランジスタの性能を著しく低下させる。この不純物突き抜けを防止する方法とし

で、ゲート熱酸化膜を厚くする方法が知られている。しかし、ゲート熱酸化膜を厚くすると、回路部間の膜厚差が大きくなり、膜厚差を1.0Å以下にするという上記した要求を満たせなくなる。そこで、上記各実施の形態において、第1処理回路部にn型チャネルMOSトランジスタを用い、第2処理回路部にp型チャネルMOSトランジスタを用いれば、不純物の突き抜けが生ぜず、しかも所望の膜厚のゲート熱酸化膜を得ることができる。

【0052】

【発明の効果】以上説明した通り、本発明の半導体装置によれば、同一の半導体基板上に第1の処理回路部と第2の処理回路部が形成され、ゲート酸化膜が共に1.0Å以上である第1と第2の処理回路部のゲート酸化膜の厚みの差が1.0Å以下にしたので、所望の厚みのゲート酸化膜を処理回路部毎に形成した半導体を得られることにより、半導体素子の製造上のばらつきが低減され、MOSトランジスタの性能低下を防止することができる。

【0053】また、本発明の半導体装置の製造方法によれば、半導体基板上に第1のゲート酸化膜を形成した後、第1の処理回路部の第1のゲート酸化膜を除去し、この除去した部分に第1のゲート酸化膜とは異なる厚みの第2のゲート酸化膜を形成するようにしたので、所望の厚みのゲート酸化膜を処理回路部毎に形成した半導体を得られ、半導体素子の製造上のばらつきが低減され、MOSトランジスタの性能低下を防止することができる。

【図面の簡単な説明】

【図1】本発明による半導体装置を示す断面図である。

【図2】図1の半導体装置の第1の製造ステップを示す断面図である。

【図3】図2の製造ステップに続く製造ステップを示す断面図である。

【図4】図3の製造ステップに続く製造ステップを示す断面図である。

【図5】図4の製造ステップに続く製造ステップを示す断面図である。

【図6】図5の製造ステップに続く製造ステップを示す断面図である。

【図7】図6の製造ステップに続く製造ステップを示す断面図である。

【図8】図7の製造ステップに続く製造ステップを示す断面図である。

【図9】図8の製造ステップに続く製造ステップを示す断面図である。

【図10】図9の製造ステップに続く製造ステップを示す断面図である。

【図11】図10の製造ステップに続く製造ステップを示す断面図である。

【図12】本発明による半導体装置の他の実施の形態を示す断面図である。

【図13】図12の半導体装置の第1の製造ステップを示す断面図である。

【図14】図13の製造ステップに続く製造ステップを示す断面図である。

【図15】図14の製造ステップに続く製造ステップを示す断面図である。

【図16】図15の製造ステップに続く製造ステップを示す断面図である。

【図17】図16の製造ステップに続く製造ステップを示す断面図である。

【図18】図17の製造ステップに続く製造ステップを示す断面図である。

【図19】図18の製造ステップに続く製造ステップを示す断面図である。

【図20】図19の製造ステップに続く製造ステップを示す断面図である。

【図21】図20の製造ステップに続く製造ステップを示す断面図である。

【図22】図21の製造ステップに続く製造ステップを示す断面図である。

【図23】図22の製造ステップに続く製造ステップを示す断面図である。

【図24】図23の製造ステップに続く製造ステップを示す断面図である。

【図25】稼働時と待機時の相反する要求に対応した構造を持つ半導体装置を示す平面図である。

【図26】半導体装置の従来の製造方法における第1の製造ステップを示す断面図である。

【図27】図26の製造ステップに続く製造ステップを示す断面図である。

【図28】図27の製造ステップに続く製造ステップを示す断面図である。

【図29】図28の製造ステップに続く製造ステップを示す断面図である。

【図30】図29の製造ステップに続く製造ステップを示す断面図である。

【図31】図30の製造ステップに続く製造ステップを示す断面図である。

【図32】図31の製造ステップに続く製造ステップを示す断面図である。

【図33】図32の製造ステップに続く製造ステップを示す断面図である。

【図34】図33の製造ステップに続く製造ステップを示す断面図である。

【図35】図34の製造ステップに続く製造ステップを示す断面図である。

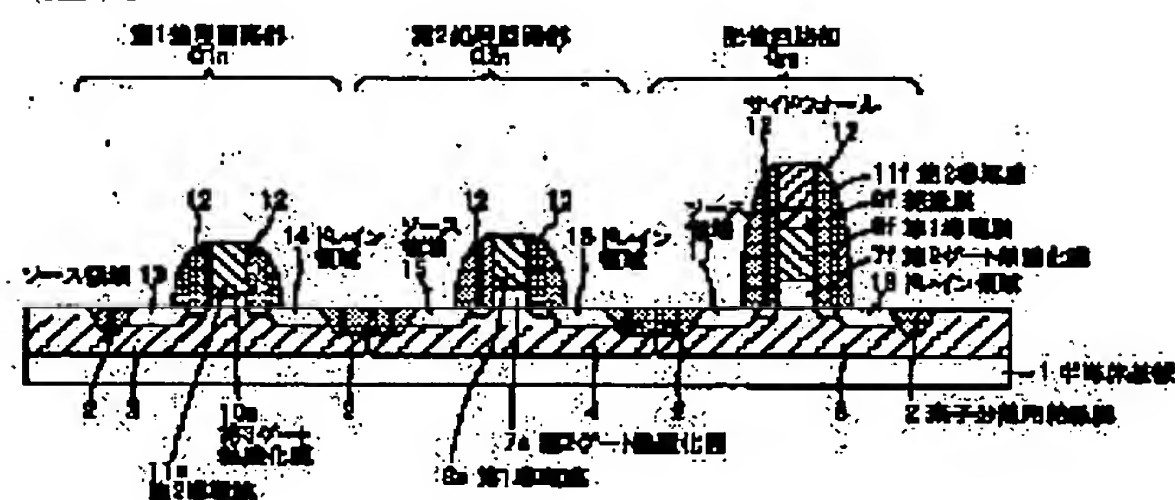
【図36】図35の製造ステップに続く製造ステップを示す断面図である。

【符号の説明】

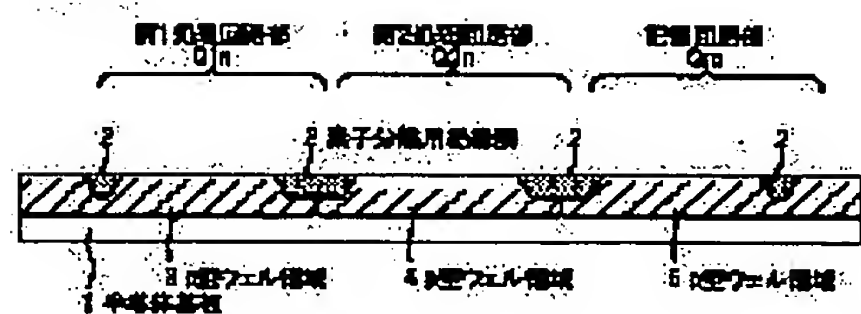
1 半導体基板
 2 素子分離用絶縁膜
 3, 4, 5, 5n p型ウェル領域
 6, 6', 6'', 6'c, 6'e 第Nゲート熱酸化膜
 6a, 6b, 6c, 6e, 6g 第1ゲート熱酸化膜
 7, 7a, 7b, 7c, 7g 第2ゲート熱酸化膜
 7d, 7e, 7f, 7h, 7n 第2ゲート熱酸化膜
 8, 8a, 8b, 8c, 8d, 8e, 8f, 8h, 8n 第1導電膜
 9, 9a, 9b, 9c, 9d, 9f, 9h 絶縁膜
 10, 10a, 10b, 10c, 10d 第3ゲート熱

酸化膜
 11, 11a, 11b, 11c, 11d, 11f, 11h 第2
 導電膜
 12 サイドウォール
 13, 15, 17 ソース領域
 14, 16, 18, 19, 20 ドレイン領域
 Qm 記憶回路部
 Q1n 第1処理回路部
 Q2n 第2処理回路部
 QNn 第N処理回路部

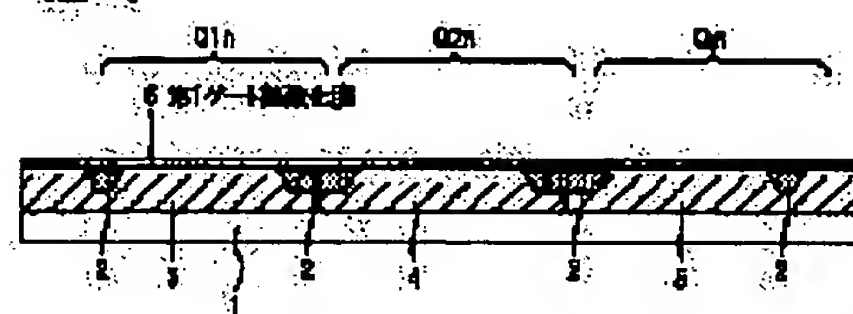
【図1】



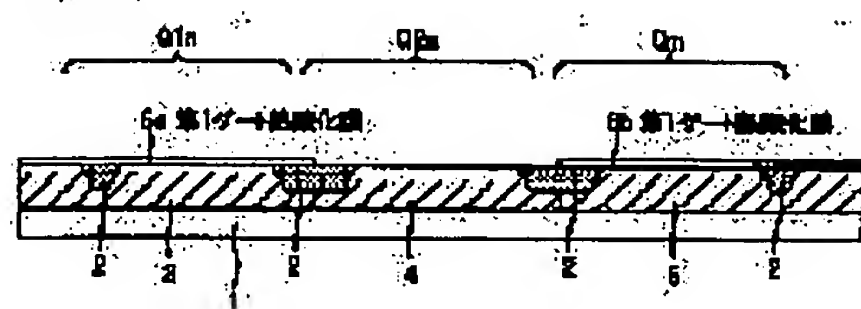
【図2】



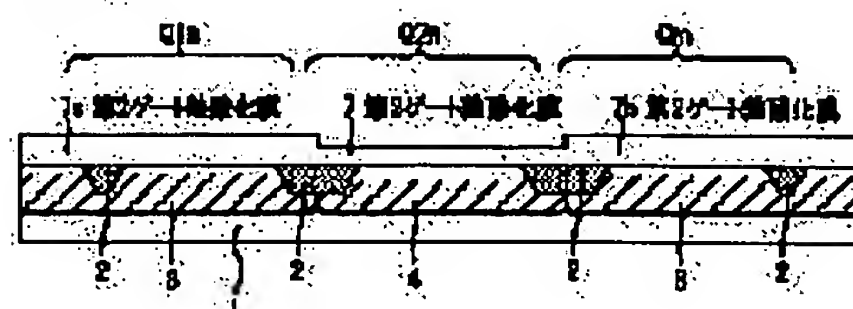
【図3】



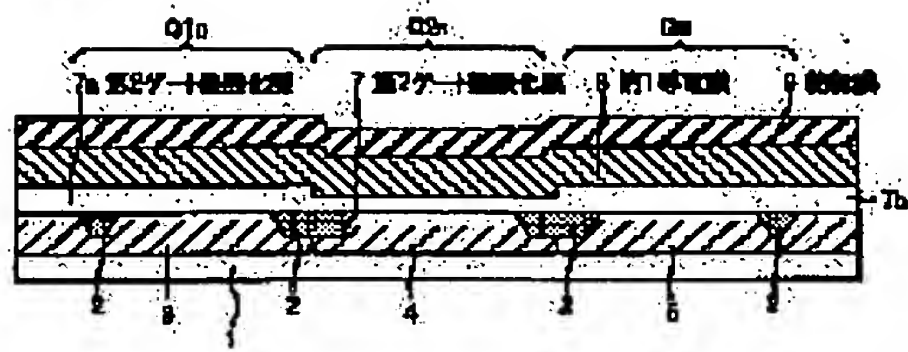
【図4】



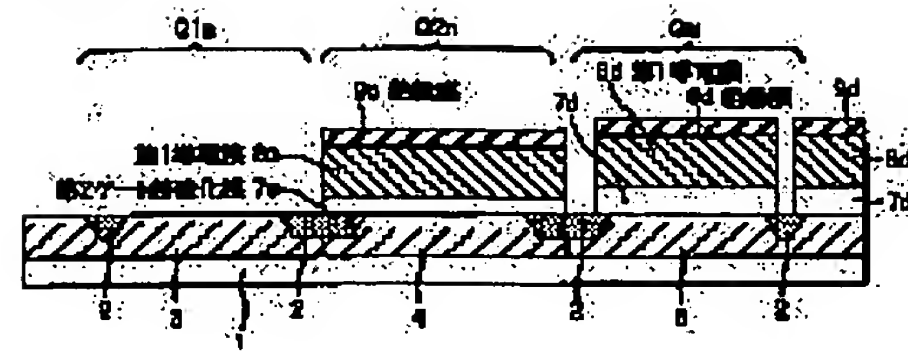
【図5】



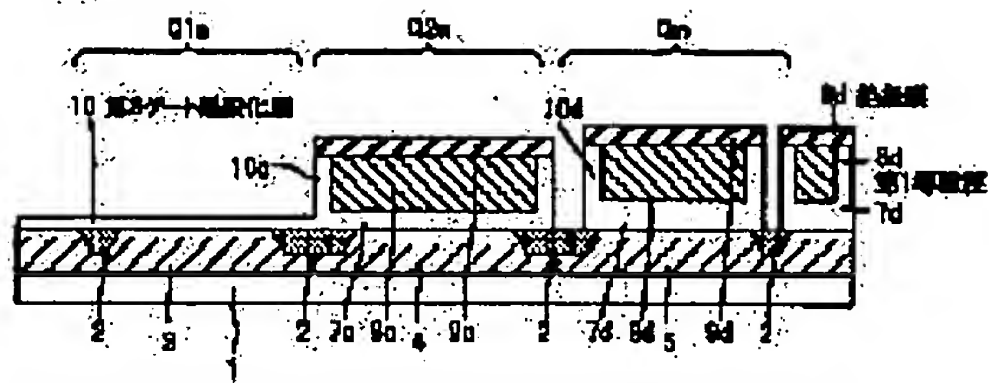
【図6】



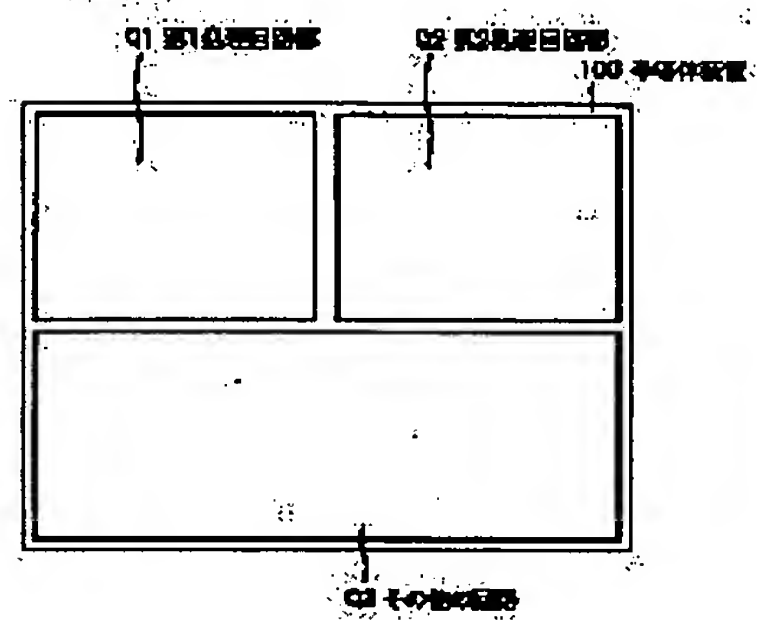
【図7】



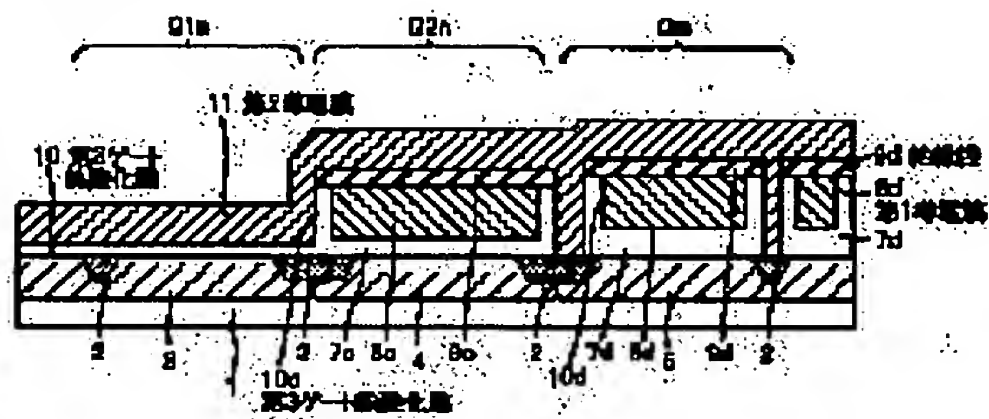
【図8】



【図25】



【図9】



【図10】

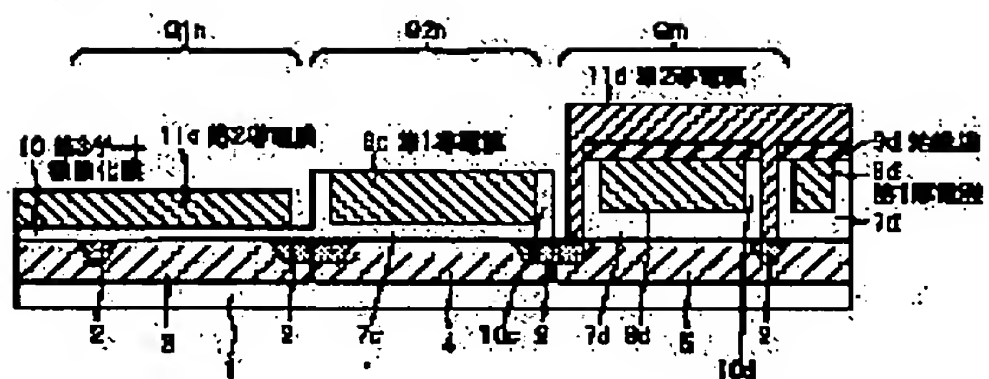
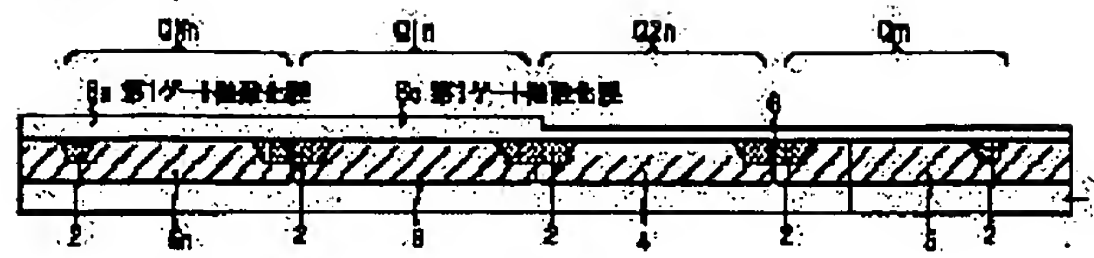


Figure 1 is a schematic diagram of a polymer chain structure. The chain is represented as a horizontal bar with diagonal hatching. Above the bar, three segments are labeled with brackets: "第1高分子鎖部" (First polymer chain part) with "G1" below it, "第2高分子鎖部" (Second polymer chain part) with "G2" below it, and "第3高分子鎖部" (Third polymer chain part) with "G3" below it. On the bar, four points are labeled "102". Below the bar, three regions are labeled: "101 半導体基板" (Semiconductor substrate) under the first segment, "104 p型ウェル領域" (p-type well region) under the second segment, and "106 n型ウェル領域" (n-type well region) under the third segment.

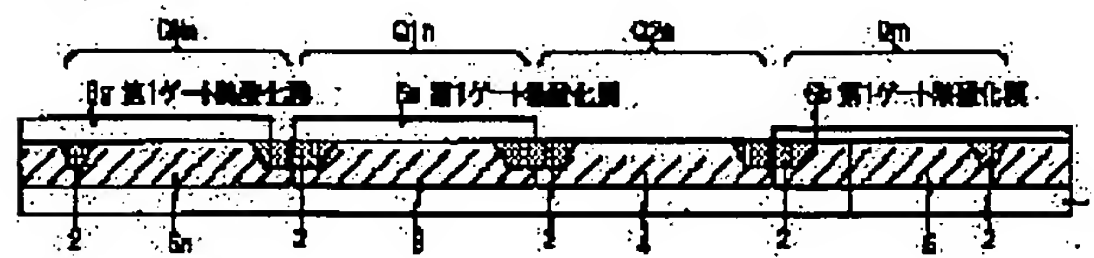
The diagram illustrates a cross-section of a semiconductor device. Key features include:

- Bottom Layer:** Labeled "1 半導体基板" (Semiconductor substrate).
- Intermediate Layers:** Contain various patterns and films such as "18 第1層電線" (First layer wiring), "19 Fl-C 保護膜" (Fl-C protective film), "17 第2層電線" (Second layer wiring), "16 第1層電線" (First layer wiring), and "15 第2層+1絶縁化膜" (Second layer + 1 insulation film).
- Top Structures:** Represented by rectangular blocks at the top, likely indicating different functional regions or components.

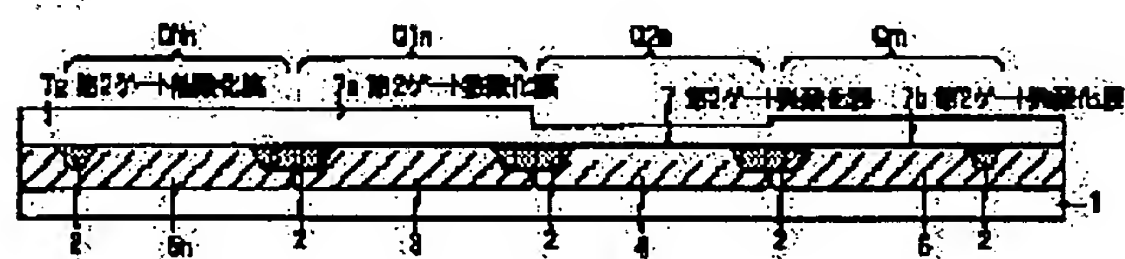
【図16】



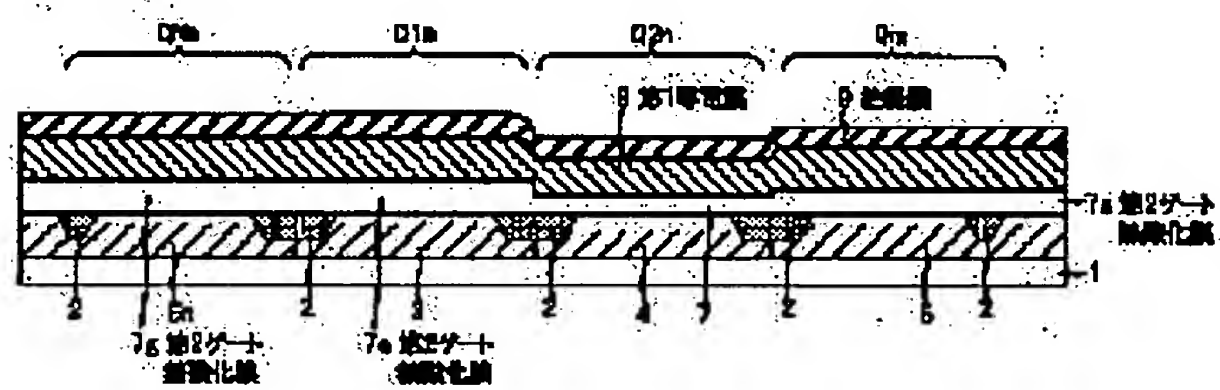
【図17】



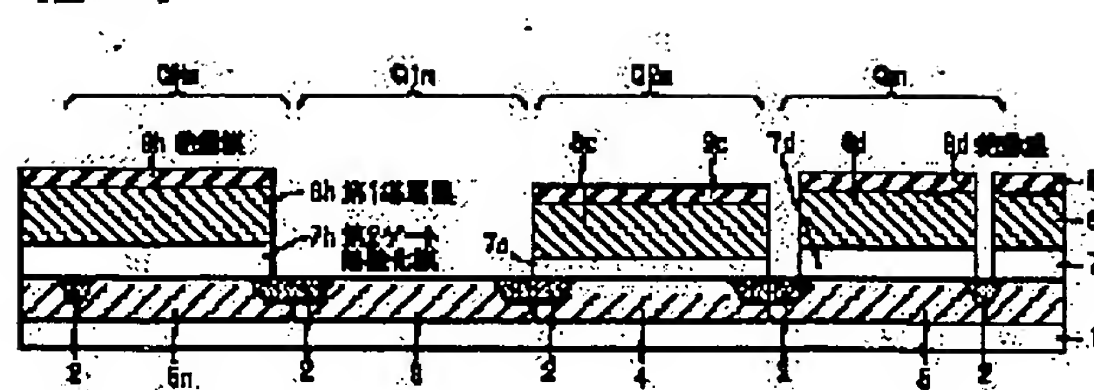
【図18】



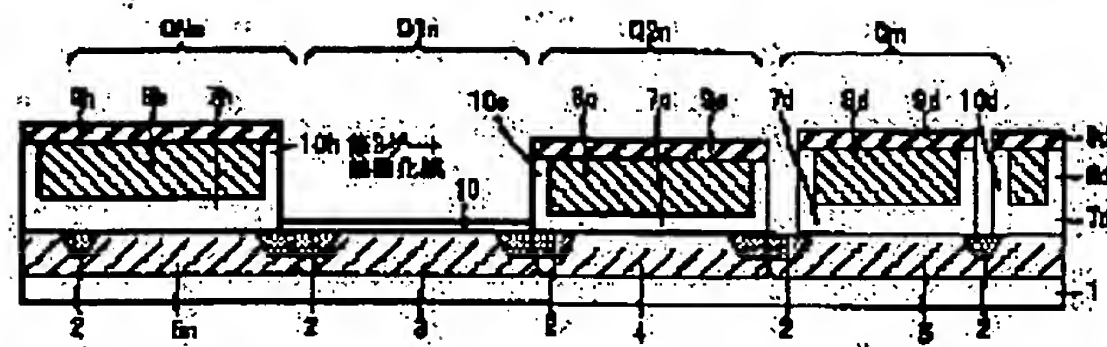
【図19】



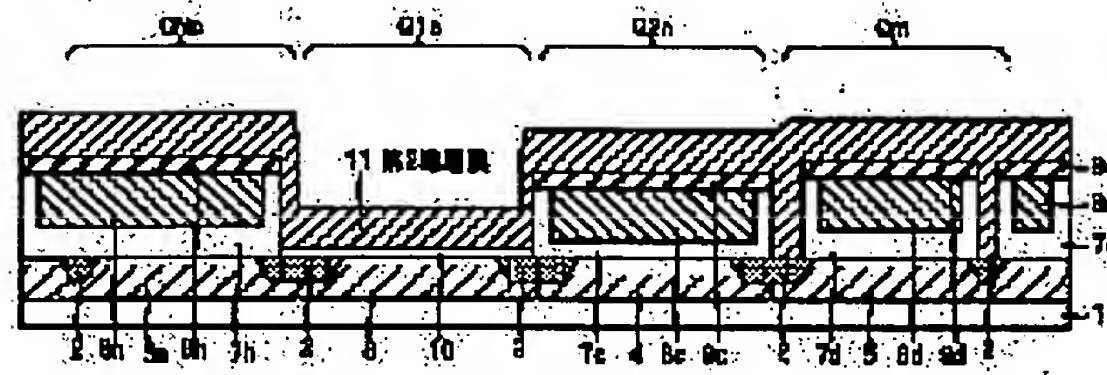
【図20】



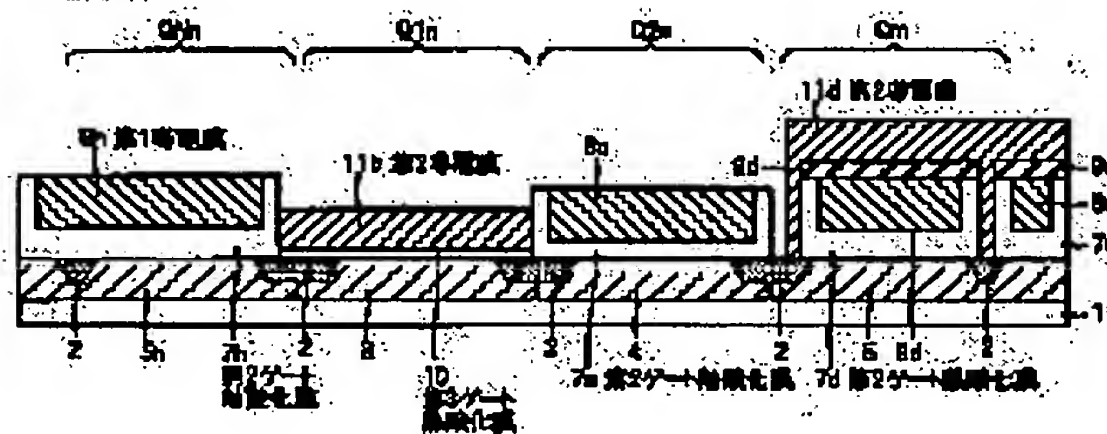
【図 2.1】



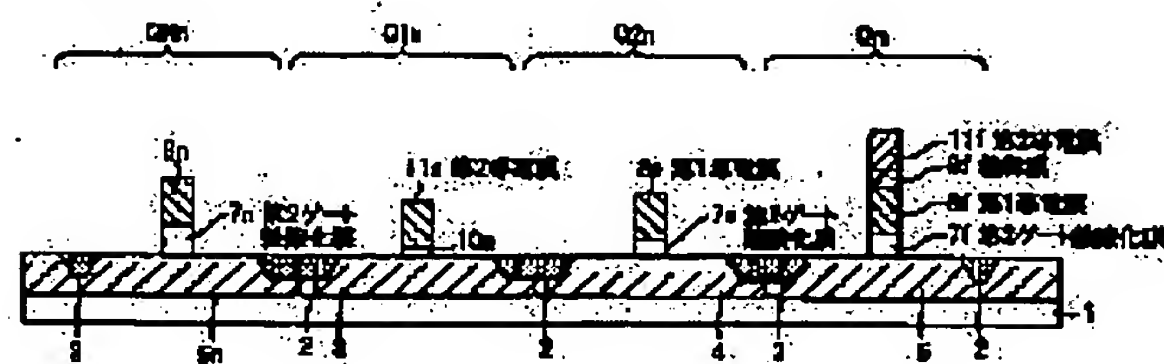
【図 2.2】



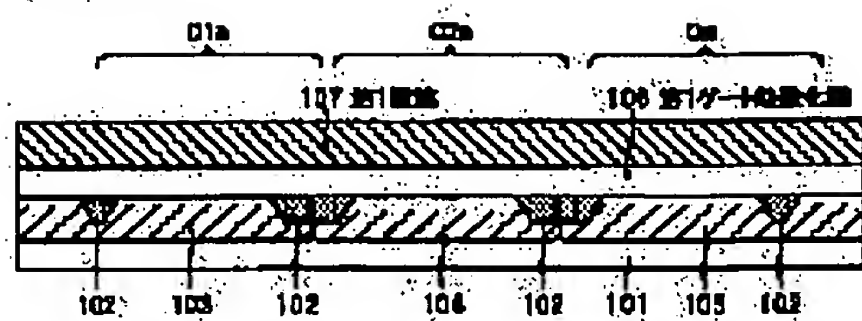
【図 2.3】



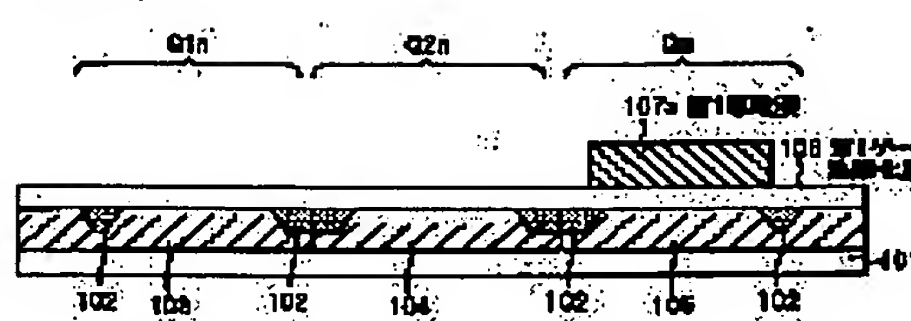
【図 2.4】



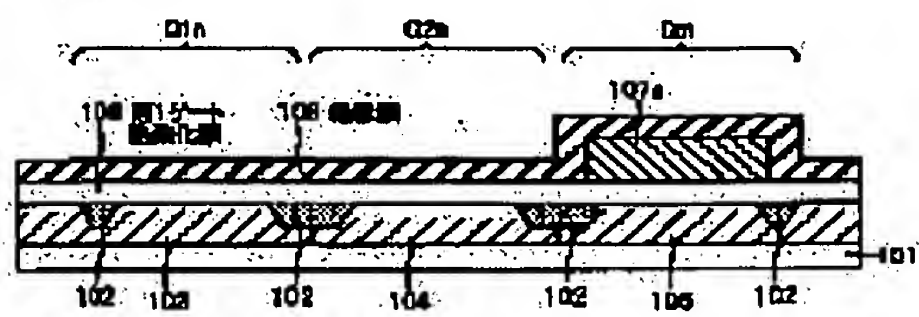
【図27】



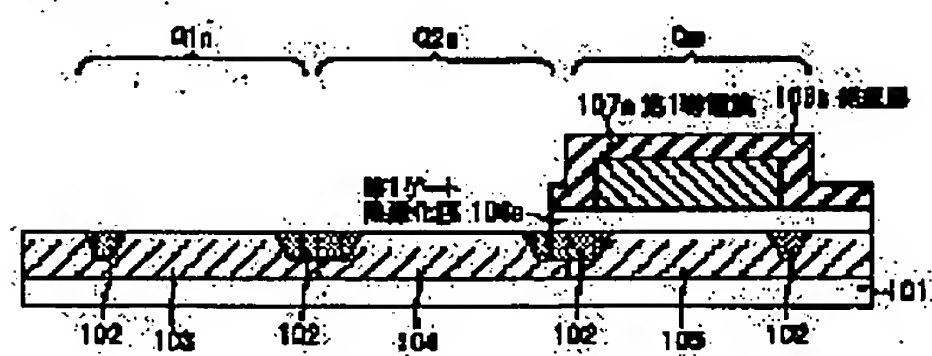
【図28】



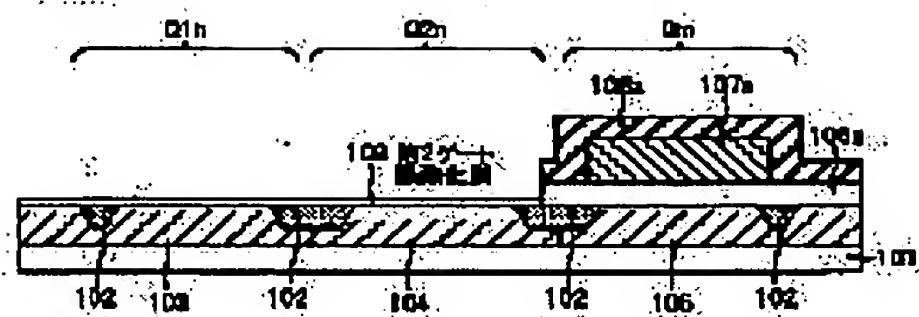
【図29】



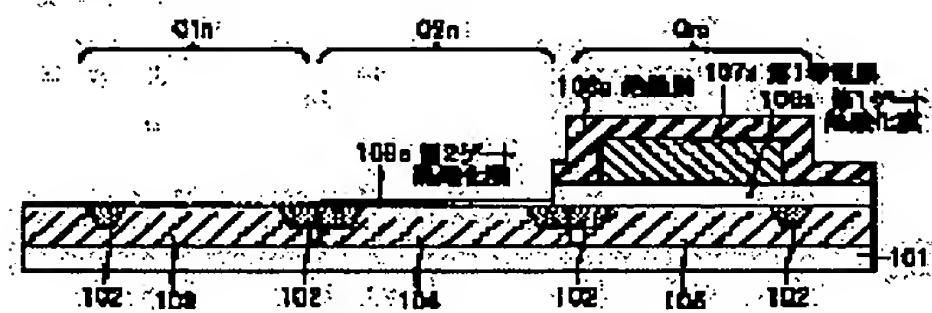
【図30】



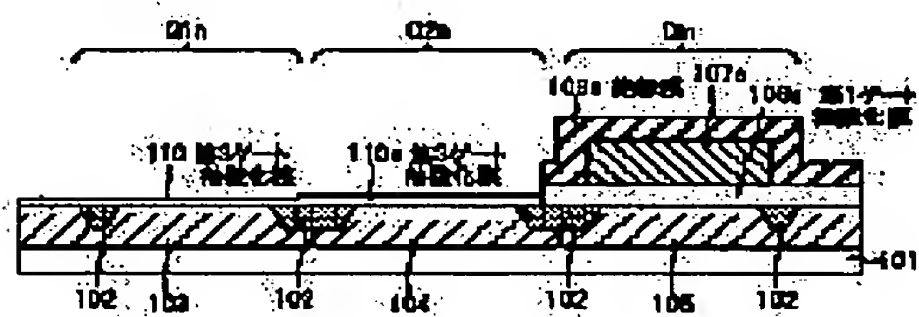
【図31】



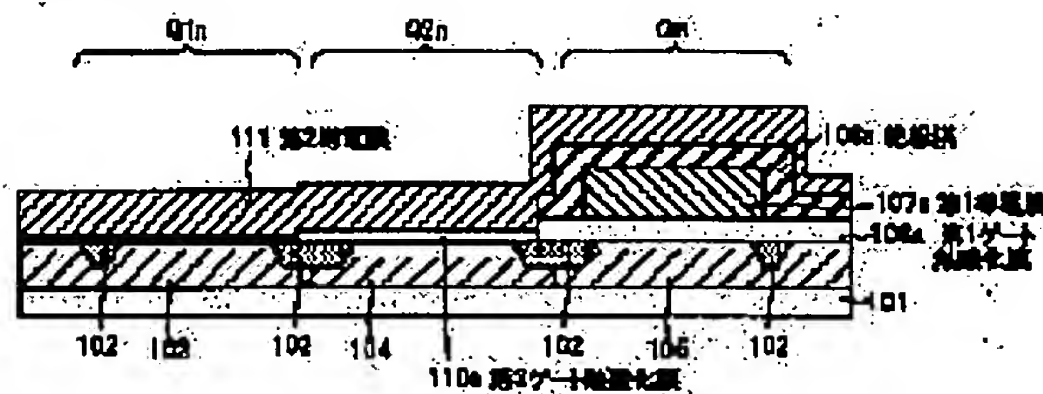
【図32】



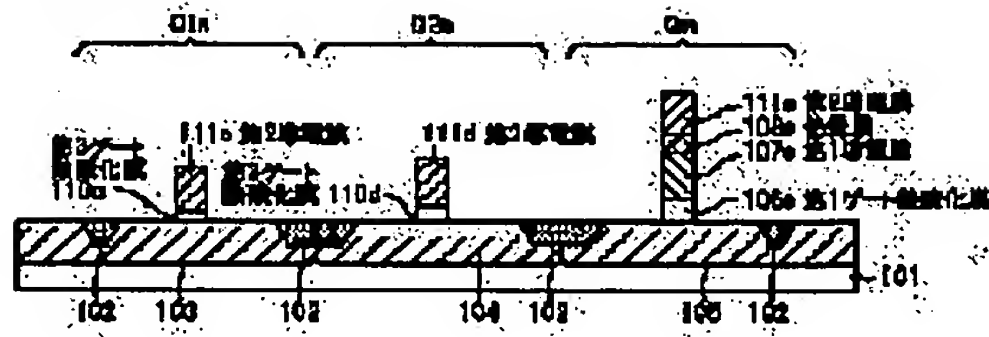
【図33】



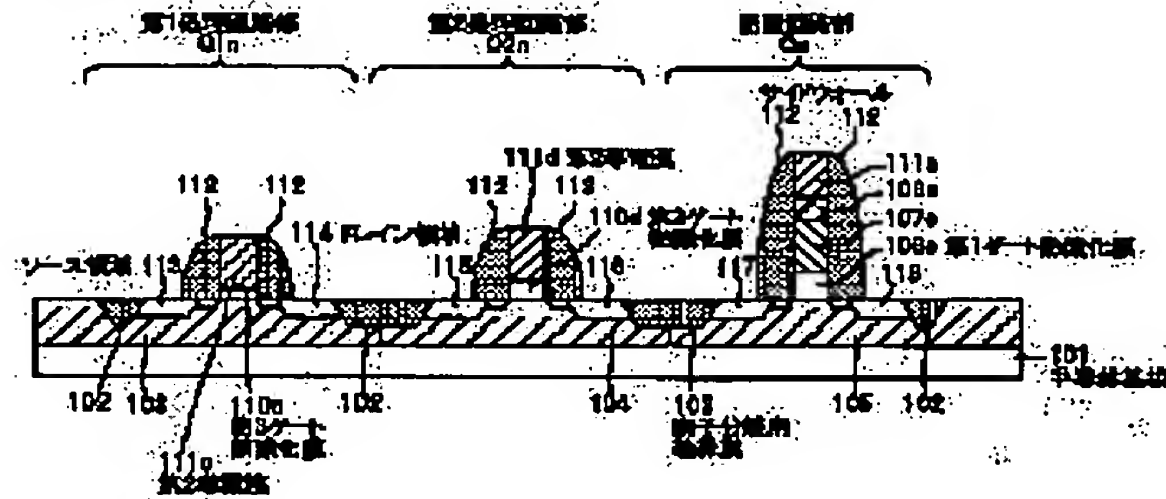
【図34】



【図 35】



【図 36】



フロントページの続き

(51) Int. Cl.	識別記号	F. I.	ターマコード (参考)
H. O. 1. L 21/8247		H. O. 1. L 27/10	4.3.4:
27/115		29/78	3.7.1
27/10	4.6.1		
	4.8.1		
29/788			
29/792			

F.ターム(参考) 5F001: AA01: AA43: AB08: AD12: AD60
AG02: AG40
5F048: AB01: AC01: AC03: BA01: BB05
BB06: BB07: BB11: BB12: BB14
BB16: BE03: BE04: DA25: DA27
5F058: BA06: BC02: BF62: BF63: BJ01
BJ10
5F083: EP02: EP23: EP55: JA04: PR43
PR53: ZA07: ZA08: ZA11